

Sujet : développement d'un prototype de verrou pour GPU

Synthèse

L'objectif de ce stage consiste, à développer un prototype pour évaluer la faisabilité d'un portage de verrou sur architecture GPU.

Contexte

EDF R&D a pour missions principales de contribuer à l'amélioration de la performance des unités opérationnelles du Groupe EDF, d'identifier et de préparer les relais de croissance à moyen / long termes. Au sein d'EDF R&D, le département PERICLES (Performance et Prévention des Risques Industriels du Parc par la Simulation et les Etudes) est le pôle de compétences dans les domaines de la physique des réacteurs nucléaires, du développement des codes de calcul et des systèmes d'information, de la visualisation, des risques industriels, de la cybersécurité, des facteurs humains. Lors de votre stage, vous rejoindrez l'équipe I2A de recherche et d'études du département PERICLES spécialisée dans l'architecture des systèmes d'information et le calcul scientifique, avec applications au calcul haute performance (HPC) entre autres, et ce au service des projets du Groupe EDF.

EDF développe, pour ses besoins industriels, un nombre important d'outils de simulation numérique (par exemple `code_saturne`, `code_aster`). Au vu des enjeux, tous ces codes sont sous assurance qualité avec un système de Vérification/Validation à l'état de l'art. Dans ce cadre EDF a développé l'outil de vérification numérique Verrou (<https://github.com/edf-hpc/verrou>) qui permet de quantifier les erreurs dues à la propagation des erreurs d'arrondis inhérentes à l'utilisation de l'arithmétique flottante. Un des éléments clé du succès de verrou est l'instrumentation binaire via valgrind sur processeur X86_64 et arm64. On souhaite pouvoir appliquer la même méthodologie (arithmétique stochastique asynchrone) sur des architectures GPU.

Sujet

Au cours de ce stage, on évaluera la faisabilité d'un outil similaire à verrou pouvant fonctionner avec les GPUs Nvidia.

Déroulé du stage

Après une phase de familiarisation avec l'outil verrou, on écrira un prototype sur base du framework NVBit (<https://github.com/NVlabs/NVBit>) pour vérifier la possibilité d'instrumenter les opérations flottantes. Pour ce faire, on pourra s'inspirer du travail fait par GPX-FPX (<https://github.com/LLNL/GPU-FPX/tree/main/GPU-FPX>) en gardant à l'esprit que l'instrumentation sera plus complexe car on doit être capable de modifier le résultat de l'opération flottante. Dans un deuxième temps, on testera les contraintes sur le code qui remplacera l'opération flottante (On pense à la possibilité d'appeler des `fma`, un générateur aléatoire, et des `template` C++ un peu complexe). Enfin, on regardera à quel grain (kernel/ligne de code/type d'opération) on peut choisir d'instrumenter ou pas. Ce dernier point est fondamental pour pouvoir localiser les parties du code à l'origine des instabilités détectés.

Organisation

La durée prévue pour ce stage est de 3 à 6 mois, et pour un profil du type bac+4 orientée informatique. Il aura lieu au centre d'EDF Lab Paris-Saclay, à Palaiseau (91120).

Compétences recherchées :

- C++
- Programmation GPU
- Programmation bas niveau (programmation système et assembleur)
- Arithmétique flottante
- Environnement GNU/Linux
- Capacités de rédaction

Suivi EDF R&D

Le stage sera encadré par Bruno Lathuilière, ingénieur-chercheur à EDF Lab Paris-Saclay.

Pour candidater

Merci d'envoyer un CV, éventuellement accompagné d'une courte lettre de motivation (notamment pour indiquer toute contrainte en matière de date de début ou de durée de stage), à l'adresse électronique suivante : bruno.lathuiliere@edf.fr.